

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-367391

(43)Date of publication of application : 20.12.2002

(51)Int.Cl. G11C 19/28  
H03K 5/00

(21)Application number : 2001-174929 (71)Applicant : FUJI ELECTRIC CO LTD

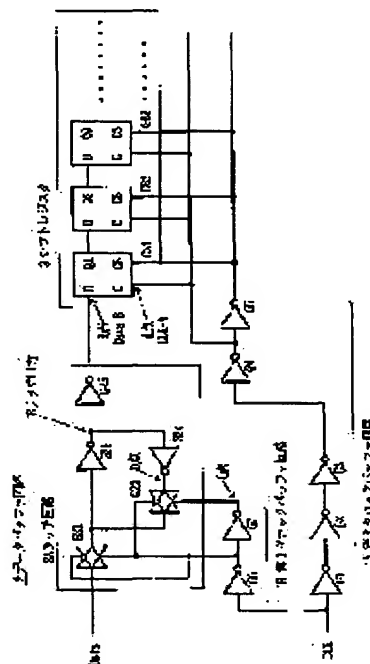
(22)Date of filing : 11.06.2001 (72)Inventor : KAWAMURA KAZUHIRO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit which can perform stable write-in operation even when a comparatively high frequency within the limit of specification of a setup time and a hold-time is used.

SOLUTION: In a semiconductor integrated circuit having a data data buffer circuit 2 transmitting data from an input terminal, a shift register 3 writing this transmitted data Data-B, a clock buffer circuit 1A transmitting a clock signal CLK from a clock terminal CLK and writing the data Data-B in the shift register 3 synchronizing with this clock signal CLK-A, the data buffer circuit 2 is provided with a latch means 2A latching the data Data-B.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection][Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection][Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-367391

(P2002-367391A)

(43) 公開日 平成14年12月20日 (2002.12.20)

(51) IntCl.<sup>7</sup>  
G 1 1 C 19/28  
H 0 3 K 5/00

識別記号

F I  
G 1 1 C 19/28  
H 0 3 K 5/00

テ-マ-ト\* (参考)

B  
V

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願2001-174929 (P2001-174929)

(22) 出願日 平成13年6月11日 (2001.6.11)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 川村 一裕

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

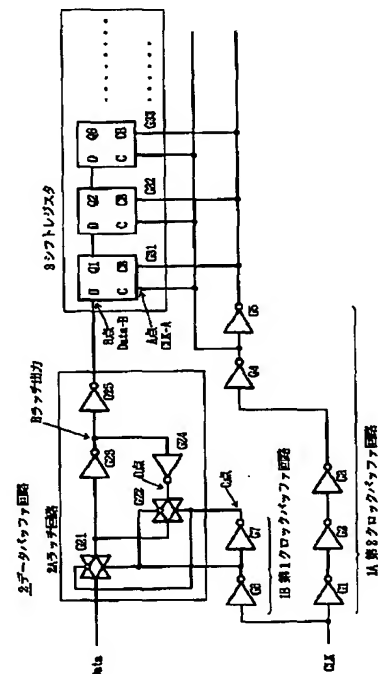
弁理士 篠部 正治

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 セットアップ時間およびホールド時間の仕様一杯までの比較的高い周波数でも安定な書き込み動作ができる半導体集積回路を提供する。

【解決手段】 入力端子よりのデータDataを伝達するデータバッファ回路2と、この伝達されたデータData-Bを書き込むシフトレジスタ3と、クロック端子CLKよりのクロック信号CLKを伝達しこのクロック信号CLK-Aと同期してデータData-Bをシフトレジスタ3に書き込むクロックバッファ回路1Aと、を有する半導体集積回路において、データバッファ回路2は、データData-Bをラッチするラッチ手段2Aを備える。



## 【特許請求の範囲】

【請求項1】入力端子よりのデータを伝達するデータバッファ回路と、この伝達されたデータを書き込むシフトレジスタと、クロック端子よりのクロック信号を伝達しこのクロック信号と同期して前記データをシフトレジスタに書き込むクロックバッファ回路と、を有する半導体集積回路において、データバッファ回路は、前記データをラッチするラッチ手段を備える、ことを特徴とする半導体集積回路。

【請求項2】請求項1に記載の半導体集積回路において、ラッチ手段は、クロック信号により導通・非導通が交互に制御される第1・第2スイッチ素子と、第1スイッチ素子の一方にデータを入力し、このスイッチ素子の他方からの出力を入力するカスケードに接続される第1・第2 NOT素子と、第2 NOT素子の出力を第2スイッチ素子の他方に接続し、このスイッチ素子の一方を前記第1スイッチ素子の他方の出力側に接続し、第1スイッチ素子が導通したときデータをセットアップし、第2スイッチ素子が導通したときこのセットアップされたデータを保持し、第1 NOT素子の出力をラッチ出力とする制御手段と、を備える、ことを特徴とする半導体集積回路。

【請求項3】請求項1または請求項2に記載の半導体集積回路において、クロック信号を受信してラッチ手段の第1・第2スイッチ素子の導通・非導通を交互に制御する第1クロックバッファ回路と、クロック信号を受信して予め定められた遅延時間で動作し前記ラッチ手段がラッチしたデータをシフトレジスタに書き込み制御する第2クロックバッファ回路と、を備える、ことを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、比較的高い周波数で動作するシフトレジスタを有し、このシフトレジスタにクロック信号およびデータを入力してデータを書き込む同期型の半導体集積回路に関する。

## 【0002】

【従来の技術】図3に従来技術によるシフトレジスタ3にデータDataを書き込む同期型の半導体集積回路を図示し、図4にこの半導体集積回路の動作タイミング図を図示する。図3において、従来技術のシフトレジスタ3にデータDataを書き込む同期型の半導体集積回路は、データラッチ素子G31、G32、・・・からなるシフトレジスタ3と、入力端子より入力されるデータDataを予め定められたタイミング遅延時間をもってシフトレジスタ3の入力端子(G点)に伝達する図示例ではNOT素子G21～G24で図示されるデータバッファ回路4と、入力データDataが

シフトレジスタ3の入力G点に到達するタイミングに整合して、予め定められたタイミング遅延時間をもってシフトレジスタ3の入力端子(F点)に伝達する図示例ではNOT素子G1～G5で図示されるクロックバッファ回路5と、を備えて構成される。

【0003】かかる構成において、同期型の半導体集積回路は、入力端子よりデータDataが入力され、データバッファ回路4を伝達してシフトレジスタ3の1番目のデータラッチ素子G31に入力される。また、クロック信号CLKは、クロックバッファ回路5を伝達してシフトレジスタ3の全てのデータラッチ素子G31、G32・・・に同時に入力される。今、シフトレジスタ3のデータラッチ素子G31、G32・・・がクロックの立ち上がりのタイミングでデータを保持する構成のものとする。このようなシフトレジスタ3では、クロックの立ち上がりのタイミングで、入力されたデータの電位をそのまま1番目のデータラッチ素子G31に取り込む動作を行い、ラッチ素子G31の出力Q1に入力されたデータ電位を保持・出力することができる。

【0004】図4において、横軸に時間軸をとり、縦軸に上から順にクロック入力端子におけるクロック信号CLK、データ入力端子におけるデータData、シフトレジスタ3のF点における波形CLK-F、G点における波形Data-Gおよびデータラッチ素子G31の出力Q1の波形を図示する。クロック入力端子におけるクロック信号CLKは、クロックバッファ回路5を伝達し、このクロックバッファ回路5の遅延時間によりシフトレジスタ3の入り口F点に遅れて伝達される。入力データDataも、NOT素子G21～G24で図示されるデータバッファ回路4で遅延されてシフトレジスタ3の入力G点に遅れて伝達される。シフトレジスタ3は、このシフトレジスタ3のF点に到達したクロック信号CLK-Fの立ち上がりのタイミングで、シフトレジスタ3のG点に到達したデータData-Gの電位を取り込むことができる。

【0005】次に、本発明の同期型の半導体集積回路を使用する立場では、入力信号Dataとクロック信号CLKのタイミングを操作して、クロック信号CLK-Fの立ち上がりのタイミングで取り込みたいデータData-Gの固定期間がくる様に入力信号Dataを入力する必要がある。この事柄を仕様として規定すると、図4に図示するセットアップ時間Tsとホールド時間Thとなる。これらの時間Ts、Thはクロック周波数が高くなればなるほど、より短い時間でデータData-Gをシフトレジスタ3に取り込める様に設計する必要がある。

【0006】例えば、セットアップ時間Ts、ホールド時間Thが共に5nsの仕様で構成する場合、この半導体集積回路を使用・設計を行う立場としては、セットアップ時間Ts、ホールド時間Thのバラツキを考慮して、例えば、セットアップ時間Ts=(0～5)ns、ホールド時間Th=(0～5)nsに変動しても、十分に、確実に動作できる様にしな

なければならない。このことはクロック信号CLK-F が F点に到達する時間と、データData-Gが G点に到達する時間と、を全く同じに設計することを意味する。

【0007】この内容を図5で補足説明する。もし、今データ信号Data-Gがクロック信号CLK-F よりシフトレジスタ3に到達する時間が5ns 以上速かった場合を想定する。この場合セットアップ時間Tsは5ns でも十分にデータData-Gをシフトレジスタ3に取り込むことができるタイミング関係にあるが、ホールド時間Thの方は0ns となり 5nsの使用では不充分ということになり、H レベルのデータ信号Data-Gをシフトレジスタ3に取り込むことができない。また、逆に、データ信号Data-Gがクロック信号CLK-F より遅い場合は上述の逆の関係となる。

【0008】従って、セットアップ時間Ts、ホールド時間Thの仕様が5ns であっても、このTs、Th 時間のバラツキを考慮すると、クロック信号CLK-F が F点に到達する時間と、データ信号Data-Gが G点に到達する時間と、を全く同じに設計することが必要になる。しかし、実際上の問題として、データバッファ回路4はシフトレジスタ3のデータラッチ素子G31 の1個のみを駆動するだけであり、大きな駆動能力を必要としないが、クロックバッファ回路5はビット数にもよるが多数のデータラッチ素子G31、G32・・・を駆動する必要がある、また、より高い周波数で動作できるようにするためには、さらにより大きな駆動能力を有するクロックバッファ回路5が必要となる。従って、データ信号Data-Gの方が負荷が軽いので伝達時間が短くてすむ可能性が高い。しかし、異なる負荷を想定して同じ遅延時間が得られる様にデータバッファ回路4およびクロックバッファ回路5のバッファサイズを設計することは難しい。

【0009】

【発明が解決しようとする課題】従来技術で述べた様に、入力データをクロック信号に同期してシフトレジスタに取り込む同期型の半導体集積回路では、シフトレジスタの G点の入力信号Data-Gと、 F点のクロック信号CLK-F とが予め定められたセットアップ時間Ts、ホールド時間Thの仕様を満たす様にタイミングの調整を図る必要がある。

【0010】今仮に、同期型の半導体集積回路のセットアップ時間Ts、ホールド時間Thが共に5ns とし、データDataのパルス幅を10nsとすると、クロック信号CLK-F のタイミングはデータData-Gのタイミングより5ns 遅れたデータData-Gのパルス幅の中央位置に相当する。半導体集積回路の入力端子におけるデータDataとクロック信号CLK のタイミングが丁度5ns ずらしたタイミングで入力される様に設計されているものとする、データバッファ回路とクロックバッファ回路との遅延時間を等しくする必要が生じ、シフトレジスタの駆動可能段数に制約をもたらす。

【0011】本発明は上記の点にかんがみてなされたも

のであり、その目的は前記した課題を解決して、同期型の半導体集積回路のセットアップ時間およびホールド時間の仕様一杯までの比較的高い周波数でも、シフトレジスタに対する駆動可能段数の制約がなく、安定に入力端子よりのデータをシフトレジスタに書き込み動作ができる半導体集積回路を提供することにある。

【0012】

【課題を解決するための手段】上記課題は本発明によれば、入力端子よりのデータを伝達するデータバッファ回路と、この伝達されたデータを書き込むシフトレジスタと、クロック端子よりのクロック信号を伝達しこのクロック信号と同期してデータをシフトレジスタに書き込むクロックバッファ回路と、を有する半導体集積回路において、データバッファ回路は、データをラッチするラッチ手段を備えるものとする。

【0013】かかる構成により、入力端子より伝達されたデータをラッチ手段でラッチすることにより、データ信号を長くすることができ、少なくともホールド時間側に対して余裕を与えることができる。従って、セットアップ時間を入力データのパルス幅内で中央値より後方に設計値をシフトすることにより、セットアップ時間およびホールド時間の両者の仕様に余裕を与えることができる。即ち、シフトレジスタの複数のラッチ素子を同時に駆動するクロック信号の異なる負荷によるクロックバッファ回路の遅延時間のバラツキを吸収して、また、更に仕様よりもより高いクロック周波数でも安定に入力端子より伝達されたデータをシフトレジスタに書き込むことができる。

【0014】また、ラッチ手段は、クロック信号により導通・非導通が交互に制御される第1・第2スイッチ素子と、第1スイッチ素子の一方にデータを入力し、このスイッチ素子の他方からの出力を入力するカスケードに接続される第1・第2 NOT素子と、第2 NOT素子の出力を第2スイッチ素子の他方に接続し、このスイッチ素子の一方を第1スイッチ素子の他方の出力側に接続し、第1スイッチ素子が導通したときデータをセットアップし、第2スイッチ素子が導通したときこのセットアップされたデータを保持し、第1 NOT素子の出力をラッチ出力とする制御手段と、を備えることができる。

【0015】また、クロック信号を受信してラッチ手段の第1・第2スイッチ素子の導通・非導通を交互に制御する第1クロックバッファ回路と、クロック信号を受信して予め定められた遅延時間で動作しラッチ手段がラッチしたデータをシフトレジスタに書き込み制御する第2クロックバッファ回路と、を備えることができる。かかる構成により、ラッチ手段の第1・第2スイッチ素子の導通・非導通を交互に制御する第1クロックバッファ回路と、ラッチ手段がラッチしたデータをシフトレジスタに書き込み制御する第2クロックバッファ回路と、を区分することにより、第1クロックバッファ回路が駆動す

る負荷がラッチ手段のみに固定化することができ、従って、第1クロックバッファ回路の遅延時間を予め定められた値に設計することが可能となり、入力端子より伝達されたデータの遅延時間と第1クロックバッファ回路の遅延時間とのタイミング整合を図ることができる。この結果、セットアップ時間およびホールド時間の仕様を満足させて、安定に入力端子よりのデータをシフトレジスタに書き込むことができる。

#### 【0016】

【発明の実施の形態】図1は本発明の1実施例による半導体集積回路のブロック線図、図2はこの半導体集積回路の動作タイミング図であり、図3～図5に対応する同一部材には同じ符号が付してある。図1において、本発明の半導体集積回路は、入力端子よりのデータDataを伝達するデータバッファ回路2と、この伝達されたデータData-Bを書き込むシフトレジスタ3と、クロック端子よりのクロック信号CLKを伝達しこのクロック信号CLK-Aと同期してデータData-Bをシフトレジスタ3に書き込むクロックバッファ回路1Aと、を有する半導体集積回路において、データバッファ回路2は、データDataをラッチするラッチ手段2Aを備えて構成される。

【0017】かかる構成により、入力端子より伝達されたデータData-Bをラッチ手段2Aでラッチすることにより、データData-Bの信号（パルス幅）を長くすることができ、少なくともホールド時間 $T_h$ 側に対して余裕を与えることができる。従って、セットアップ時間 $T_s$ を入力データDataのパルス幅内で中央値より後方に設計値をシフトすることにより、セットアップ時間 $T_s$ およびホールド時間 $T_h$ の両仕様に余裕を与えることができる。従って、シフトレジスタ3の複数のラッチ素子G31, G32, ...を同時に駆動するクロック信号CLK-Aの異なる負荷（ラッチ素子G31, G32, ...の段数）によるクロックバッファ回路1Aの遅延時間のバラツキを吸収して、また、更に仕様よりもより高いクロック周波数でも安定に入力端子より伝達されたデータData-Bをシフトレジスタ3に書き込むことができる。

#### 【0018】

【実施例】本発明による実施例を図1を用いて説明する。図1において、ラッチ手段2Aは、クロック信号CLKにより導通・非導通が交互に制御される第1・第2スイッチ素子G21, G22と、第1スイッチ素子G21の一方（Data側）にデータDataを入力し、このスイッチ素子G21の他方（後述の第1NOT素子G23側）からの出力を入力するカスケードに接続される第1・第2NOT素子G23, G24と、第2NOT素子G24の出力（D点）を第2スイッチ素子G22の他方（第2NOT素子G24側）に接続し、このスイッチ素子G22の一方を第1スイッチ素子G21の他方（第1NOT素子G23側）の出力側に接続し、第1スイッチ素子G21が導通したときデータDataをセットアップし、第2スイッチ素子G22が導通したときこのセットアップされ

たデータDataを保持し、第1NOT素子G23の出力をラッチ出力とする制御手段と、を備えて構成される。

【0019】かかる構成により、クロック端子からのクロック信号CLKのH, Lレベルの状態により、クロックバッファ回路1BのNOT素子G6がHレベルで、NOT素子G7（C点）がLレベルのとき、第1スイッチ素子G21は導通状態にあり、第2スイッチ素子G22は非導通状態にある。この状態では、入力端子に入力されたデータDataは、第1スイッチ素子G21を通過して一方はNOT素子G23, G25経由でシフトレジスタ3の入力B点に伝達される。また、他方はNOT素子G23, G24経由で第2スイッチ素子G22の他方（D点）に到達する。

【0020】次に、1クロック分経過すると、クロックバッファ回路1BのNOT素子G6がLレベルで、NOT素子G7がHレベルのとき、第1スイッチ素子G21は非導通状態に変わり第2スイッチ素子G22は導通状態に変化する。この状態では、先に入力端子に入力されたデータDataのH, Lレベルの状態が第2スイッチ素子G22を介してNOT素子G23, G24の正帰還ループを構成して、入力されたデータDataのH, Lレベルを保持することができる。NOT素子G25は入力端子に入力されるデータDataのH, Lレベルとシフトレジスタ3への入力信号の極性を一致させるものである。

【0021】また、クロック信号CLKを受信してラッチ手段2Aの第1・第2スイッチ素子G21, G22の導通・非導通を交互に制御する第1クロックバッファ回路1Bと、クロック信号CLKを受信して予め定められた遅延時間で動作しラッチ手段2AがラッチしたデータData-Bをシフトレジスタ3に書き込み制御する第2クロックバッファ回路1Aと、を備えて構成することができる。

【0022】かかる構成により、ラッチ手段2Aの第1・第2スイッチ素子G21, G22の導通・非導通を交互に制御する第1クロックバッファ回路1Bと、ラッチ手段2AがラッチしたデータData-Bをシフトレジスタ3に書き込み制御する第2クロックバッファ回路1Aと、を区分することにより、第1クロックバッファ回路1Bが駆動する負荷がラッチ手段2Aのみに固定化することができ、従って、第1クロックバッファ回路1Bの遅延時間を予め定められた値に設計することが可能となり、入力端子より伝達されたデータDataの遅延時間と第1クロックバッファ回路1Bの遅延時間とのタイミングの整合を図ることことができる。この結果、ラッチ手段2Aにおけるセットアップ時間 $T_s$ およびホールド時間 $T_h$ の仕様を満足させて、安定に入力端子よりのデータDataをシフトレジスタ3に書き込むことができる。（具体例の説明）即ち、図3の従来技術におけるデータバッファ回路4に本発明ではラッチ回路2Aを設ける。このラッチ回路2Aのラッチ信号はクロック信号CLKから第1クロックバッファ回路1B（NOT素子G6, G7）を介して入力する。このラッチ回路2Aは1組のみであるので、第1クロックバッファ回路1Bの駆動負荷容量は

小さくて良く、またC点までの伝達時間もかなり短いもので構成することができる。

【0023】また、データ信号Data-Bも、D点までの伝達時間は従来技術のB点までの伝達時間に比べて短いものとする事ができる。従って、図2に図示される様に、C点、D点における信号波形は入力信号波形Data、CLKに対して、遅延時間をそう意識した設計を行わなくても無視することができるくらい小さな遅延時間で構成することができる。

【0024】従って、セットアップ時間Tsが5nsもあれば、ラッチ回路2Aの出力は確実にデータ信号Dataの電位を取り込み・出力することができ、この信号Data-BはB点まで伝達することができる。従って、クロック信号CLK-AがA点に達する時間よりもデータData-BがB点に達する時間を短くしたほうが良い。次に、ホールド時間Thは、ラッチ回路2Aが保持できるだけの時間があれば良く、この値は5nsあれば充分である。ラッチ回路2AでデータData-Bを保持したあとは、このラッチ回路2Aがクロック信号CLK-Aが立ち下がるまで、このデータData-Bを保持してくれるので、シフトレジスタ3自体は、ホールド時間Thを気にすることなくデータData-Bをシフトレジスタ3内に取り込むことができる。

【0025】

【発明の効果】本発明によれば、データ入力信号がB点に伝達する時間が、クロック信号がA点に伝達する時間に対して5nsより遅くならない様にする（セットアップ

時間への考慮）設計上の配慮は必要であるが、ホールド時間への細かい考慮は必要なくなり、バラツキを考慮しても、データとクロックを同期して安定にシフトレジスタにデータを書き込み動作する半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の1実施例による半導体集積回路のブロック線図

【図2】半導体集積回路の動作タイミング図

【図3】従来技術による半導体集積回路のブロック線図

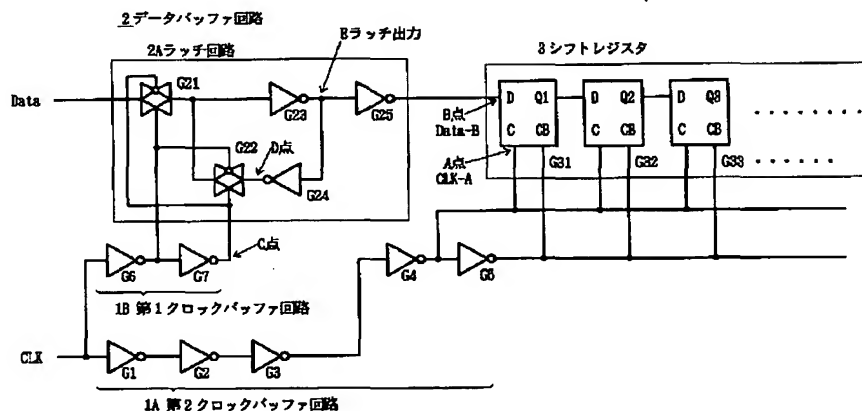
【図4】半導体集積回路の動作タイミング図

【図5】タイミング図の補足説明図

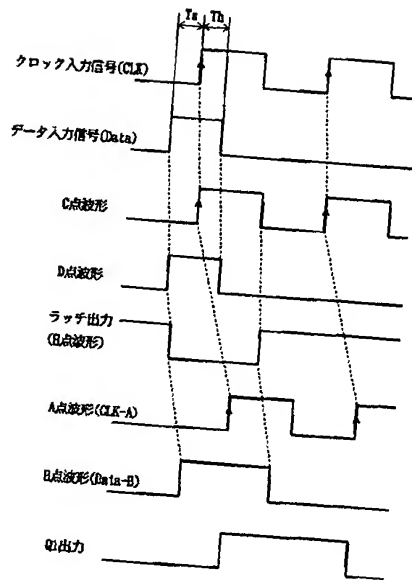
【符号の説明】

- 1A 第1クロックバッファ回路
- 1B 第2クロックバッファ回路
- 2、4 データバッファ回路
- 2A ラッチ手段
- 3 シフトレジスタ
- CLK, CLK-A クロック信号
- Data, Data-B データ
- A～F 波形観測点
- G1～G7, G23～G25 NOT 素子
- G21, G22 スイッチ素子
- G31, G32 . . . ラッチ素子
- Ts セットアップ時間
- Th ホールド時間

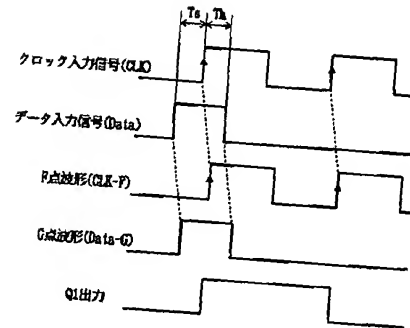
【図1】



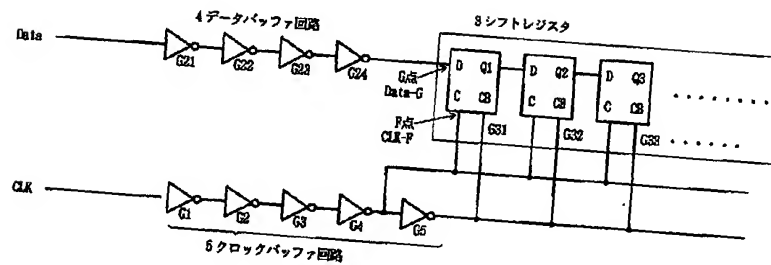
【図2】



【図4】



【図3】



【図5】

